



Attorney's Docket No.: 2816/2811 417-079001 / F51-132950M/TOM

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : S. Kikuchi et al.  
Serial No. : 09/837,397  
Filed : April 18, 2001  
Title : SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE  
SAME

Art Unit : Unknown  
Examiner : Unknown

Commissioner for Patents  
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

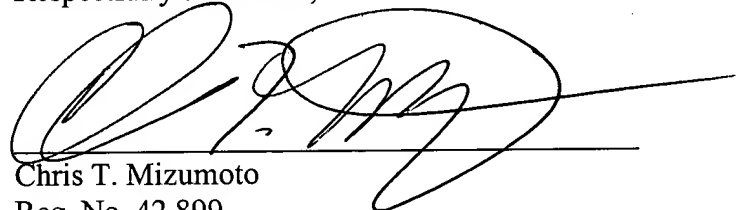
· Japan Application No. 2001-061440 filed March 6, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: June 7, 2001

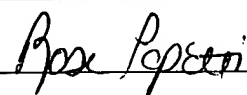
  
Chris T. Mizumoto  
Reg. No. 42,899

Fish & Richardson P.C.  
45 Rockefeller Plaza, Suite 2800  
New York, NY 10111  
Telephone: (212) 765-5070  
Facsimile: (212) 258-2291

30052138.doc

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

June 7, 2001  
Date of Deposit  
Signature 

Rose Papetti  
Typed or Printed Name of Person Signing Certificate

RECEIVED  
JUN 23 2001  
TC 2800 MAIL ROOM #2  
Priority  
Paper  
8-23-01  
retakes



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

RECEIVED  
JUN 28 2001  
TC 2800 MAIL ROOM

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2001年 3月 6日

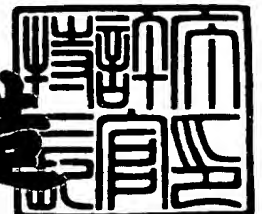
出願番号  
Application Number: 特願2001-061440

出願人  
Applicant(s): 三洋電機株式会社

2001年 4月 6日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2001-3025912

【書類名】 特許願

【整理番号】 KIA1010030

【提出日】 平成13年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式  
                        会社内

    【氏名】 菊地 修一

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式  
                        会社内

    【氏名】 西部 栄次

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式  
                        会社内

    【氏名】 鈴木 ▲たく▼也

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 桑野 幸徳

【代理人】

    【識別番号】 100111383

    【弁理士】

    【氏名又は名称】 芝野 正雅

    【連絡先】 電話03-3837-7751 法務・知的財産部  
                        東京事務所

【手数料の表示】

    【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 一導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、  
前記ゲート電極の一端に隣接する高濃度の逆導電型ソース領域と、  
前記チャネル領域を介して前記ソース領域と対向して形成された低濃度の逆導電型ドレイン領域と、  
前記ゲート電極の他端から離間され、かつ前記低濃度の逆導電型ドレイン領域内に含まれる高濃度の逆導電型ドレイン領域と、  
少なくとも前記ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間にまたがる領域であって、前記ゲート電極側から前記逆導電型ドレイン領域側に向かって不純物濃度が高くなるように中濃度の逆導電型層が形成されていることを特徴とする半導体装置。

【請求項 2】 一導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、  
前記ゲート電極の一端に隣接する低濃度の逆導電型ソース・ドレイン領域と、  
前記ゲート電極から離間され、かつ前記低濃度の逆導電型ソース・ドレイン領域内に含まれる高濃度の逆導電型ソース・ドレイン領域と、  
少なくとも前記ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間にまたがる領域であって、前記ゲート電極側から前記逆導電型ドレイン領域側に向かって不純物濃度が高くなるように中濃度の逆導電型層が形成されていることを特徴とする半導体装置。

【請求項 3】 前記中濃度の逆導電型層が、前記ゲート電極から前記高濃度の逆導電型ドレイン領域間あるいは前記高濃度の逆導電型ソース・ドレイン領域間にまたがる領域に形成されていることを特徴とする請求項 1 あるいは請求項 2 に記載の半導体装置。

【請求項 4】 一導電型の半導体基板上に低濃度の逆導電型ドレイン領域をイオン注入により形成する工程と、

前記半導体基板全面にゲート絶縁膜を形成する工程と、

全面に導電膜を形成した後にパターニングして少なくとも前記ドレイン領域上方にオーバーラップするゲート電極を形成する工程と、

前記ゲート電極の一端に隣接する高濃度の逆導電型ソース領域と、前記ゲート電極の他端から離間され、かつ前記低濃度の逆導電型ドレイン領域内に含まれる高濃度の逆導電型ドレイン領域とをイオン注入により形成する工程と、

少なくとも前記ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間にまたがる領域であって、前記ゲート電極側から前記逆導電型ドレイン領域側に向かって不純物濃度が高くなるように中濃度の逆導電型層をイオン注入により形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 一導電型の半導体基板上に低濃度の逆導電型ソース・ドレイン領域をイオン注入により形成する工程と、

前記半導体基板全面にゲート絶縁膜を形成する工程と、

全面に導電膜を形成した後にパターニングして少なくとも前記ソース・ドレイン領域上方にオーバーラップするゲート電極を形成する工程と、

前記ゲート電極から離間され、かつ前記低濃度の逆導電型ソース・ドレイン領域内に含まれる高濃度の逆導電型ソース・ドレイン領域とをイオン注入により形成する工程と、

少なくとも前記ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間にまたがる領域であって、前記ゲート電極側から前記逆導電型ドレイン領域側に向かって不純物濃度が高くなるように中濃度の逆導電型層をイオン注入により形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記中濃度の逆導電型層の形成工程が、前記ゲート電極を被覆するように形成したホトレジストをマスクにして斜め上方からイオン注入することで、ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間あるいは前記高濃度の逆導電型ソース・ドレイン領域間にまたがる領域に形成することを特徴とする請求項 4 あるいは請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記中濃度の逆導電型層の形成工程が、前記ゲート電極の側壁部に形成したテーパー形状の側壁絶縁膜を貫通するようにイオン注入すること

で、ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間あるいは前記高濃度の逆導電型ソース・ドレイン領域間にまたがる領域に形成することを特徴とする請求項 4 あるいは請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関するものであり、更に詳しく言えば、LCD ドライバーや EL ドライバー等の各種表示ディスプレイ駆動用ドライバーに用いられる高電源電圧（HV-VDD）用の高耐圧 MOS トランジスタの動作耐圧特性の向上を図る技術に関する。

【 0 0 0 2 】

【従来の技術】

以下で、従来例に係わる半導体装置について図 1 0 に示す LDD 型高耐圧 MOS トランジスタの断面図を参照しながら説明する。

【 0 0 0 3 】

図 1 0 において、P 型の半導体基板（P-Sub）5 1 上にゲート絶縁膜 5 2 を介してゲート電極 5 3 が形成されている。そして、前記ゲート電極 5 3 の一端に隣接するように N+ 型ソース領域 5 4 が形成されており、チャネル領域 5 5 を介して前記ソース領域 5 4 と対向して N- 型ドレイン領域 5 6 が形成され、更にゲート電極 5 3 の他端から離間され、かつ N- 型ドレイン領域 5 6 に含まれるように N+ 型ドレイン領域 5 7 が形成されている。

【 0 0 0 4 】

従来では、高耐圧化（例えば 5 0 V ～ 6 0 V 程度）を図るため、低濃度の N- 型ドレイン領域 5 6 をおよそ 1 0 0 0 ℃ ～ 1 1 0 0 ℃ 程度の熱拡散により形成し、緩やかな濃度勾配で深く拡散層を形成していた。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、このような構成としてもソースドレイン間電圧（BVDS：OFF 時の耐圧）は高いが、ドレイン電圧及びゲート電圧が共に高い場合、その

動作耐圧であるサステイニング電圧（ $V_{SUS}$ ：ON時の耐圧）は高くできなかった。従来では、せいぜい30V程度が限界であった。

#### 【0006】

以下、前述したような動作耐圧の低下が発生するメカニズムについて説明する。

#### 【0007】

このようなNチャネル型高耐圧MOSトランジスタでは、図11、図12に示すようにドレイン領域57をコレクタ（N+）、ソース領域54をエミッタ（N+）及び半導体基板51をベース（P）とした横型バイポーラトランジスタ60が寄生的に形成される。OFF時の耐圧であるソースドレイン間電圧 $BV_{DS}$ が高くても動作耐圧 $V_{SUS}$ が低下するのは、この寄生バイポーラトランジスタ60がONするために引き起こされる。これにより、Nチャネル型高耐圧MOSトランジスタ動作領域が限定され、全域での動作を困難にさせている。

#### 【0008】

前記バイポーラトランジスタ60の動作を以下に説明する。

#### 【0009】

図11に示すようにゲート電極53にゲート電圧（ $V_G$ ）（ $>V_t$ ：スレッシュホールド電圧）、ドレイン領域57にコンタクトするドレイン電極（ $V_D$ ）（ $>V_G$ ）の電圧が印加され、MOSトランジスタがON状態になっている場合、以下に述べる正帰還ループ（図12参照）が形成される。

#### 【0010】

即ち、①ドレイン領域57近傍の空乏層61で加速されたチャネル領域62の電子により、空乏層内でアバランシェ増倍が発生し、電子・ホール対が生成される。②前記ホールが、基板内を流れる（基板電流： $I_{Sub}$ ）。③前記基板電流（ $I_{Sub}$ ）が、半導体基板51内に電位勾配を生み、基板電位を上昇させる。④ソース領域54－基板51間接合が順方向にバイアスされる。⑤ソース領域54から基板51に電子が注入される。⑥注入された電子がドレイン領域57に到達し、更にアバランシェ増倍を起こす。

#### 【0011】



このように①～⑥の正帰還が形成されることにより、大電流が装置内を流れ、装置が破壊される。

## 【 0 0 1 2 】

従って、Nチャネル型高耐圧MOSトランジスタの設計においては、前述した現象を考慮して条件設定が行われる。先ず、第1に基板電流 ( $I_{Sub}$ ) が大きくなると動作耐圧 ( $V_{SUS}$ ) が小さくなるので、基板電流 ( $I_{Sub}$ ) を減らすトランジスタ構造とし、第2に実使用領域での基板電流 ( $I_{Sub}$ ) を減らすように条件を決定する。

## 【 0 0 1 3 】

図4は基板電流 ( $I_{Sub}$ ) - ゲート電圧 ( $V_G$ ) 特性図であり、図において、従来のNチャネル型高耐圧MOSトランジスタ (図中点線で示す。) では、基板電流 ( $I_{Sub}$ ) のダブルハンプ特性が現れ、特にゲート電圧 ( $V_G$ ) の高い領域での基板電流 ( $I_{Sub}$ ) が上昇している。そのため、図5のドレイン電流 ( $I_D$ ) - ドレイン電圧 ( $V_D$ ) 特性図や図6の動作耐圧を示す特性図に示すように動作耐圧 ( $V_{SUS}$ ) が低かった。

## 【 0 0 1 4 】

前述したようなダブルハンプ特性が現れるのは、高いゲート電圧 ( $V_G$ ) 領域において、空乏層がN+ドレイン領域近傍まで広がり、そこに電界が集中するためである。

## 【 0 0 1 5 】

また、動作耐圧 ( $V_{SUS}$ ) の向上を図るため図6に示すようにイオン注入量を増やし、N-型ドレイン領域の濃度を高めることも考えられるが、図中に白丸で示したように従来の半導体装置では、十分な耐圧の向上が図れなかった。また、逆に図10に示すN-型ドレイン領域56の端部Aの濃度も上がるため、空乏層がチャネル領域55方向に、より広がることによる短チャネル効果の増大、そして基板電流 ( $I_{Sub}$ ) のピーク値の増加によるスナップバック現象の増大、更には、ソースドレイン間電圧 ( $BVD_S$ ) の低下等の問題が発生することになり、従来、動作耐圧の向上を図るための有効な手段がなかった。

## 【 0 0 1 6 】

従って、本発明では動作耐圧の向上を可能とする半導体装置とその製造方法を提供することを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

そこで、本発明の半導体装置は、少なくとも一導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、当該ゲート電極に隣接するように形成された低濃度の逆導電型ドレイン領域と、前記ゲート電極の他端から離間され、かつ前記低濃度の逆導電型ドレイン領域内に含まれる高濃度の逆導電型ドレイン領域とを有するものにおいて、前記ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間にまたがる領域であって、前記ゲート電極側から前記逆導電型ドレイン領域側に向かって不純物濃度が高くなるように中濃度の逆導電型層が形成されていることで、動作耐圧の向上を図ることを特徴とする。

【 0 0 1 8 】

そして、本発明の半導体装置の製造方法は、少なくとも一導電型の半導体基板上に低濃度の逆導電型ドレイン領域をイオン注入により形成する工程と、前記半導体基板全面にゲート絶縁膜を形成する工程と、全面に導電膜を形成した後にパターニングして少なくとも前記ドレイン領域上方にオーバーラップするゲート電極を形成する工程と、少なくとも前記ゲート電極の他端から離間され、かつ前記低濃度の逆導電型ドレイン領域内に含まれる高濃度の逆導電型ドレイン領域をイオン注入により形成する工程と、少なくとも前記ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間にまたがる領域であって、前記ゲート電極側から前記逆導電型ドレイン領域側に向かって不純物濃度が高くなるように中濃度の逆導電型層をイオン注入により形成する工程とを有することを特徴とする。

【 0 0 1 9 】

また、前記中濃度の逆導電型層の形成工程が、前記ゲート電極を被覆するように形成したホトレジストをマスクにして斜め上方からイオン注入することで、ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間あるいは前記高濃度の逆導電型ソース・ドレイン領域間にまたがる領域に形成することを特徴とする。

【 0 0 2 0 】

更に、前記中濃度の逆導電型層の形成工程が、前記ゲート電極の側壁部に形成したテーパー形状の側壁絶縁膜を貫通するようにイオン注入することで、ゲート電極近傍から前記高濃度の逆導電型ドレイン領域間あるいは前記高濃度の逆導電型ソース・ドレイン領域間にまたがる領域に形成することを特徴とする。

## 【 0 0 2 1 】

## 【発明の実施形態】

以下、本発明の半導体装置とその製造方法の実施形態について図面を参照しながら説明する。

## 【 0 0 2 2 】

図 3 において、本発明の第 1 の実施形態の半導体装置は、一導電型の半導体基板、例えば P 型の半導体基板 1 上にゲート絶縁膜 3 が形成され、当該ゲート絶縁膜 3 を介してゲート電極 4 が形成されている。また、前記ゲート電極 4 の一端に隣接するように高濃度の逆導電 (N+) 型ソース領域 5 が形成され、当該ゲート電極 4 下のチャネル領域を介して前記ソース領域 5 と対向するように低濃度の逆導電 (N-) 型ドレイン領域 2 が形成され、更に、前記ゲート電極 4 の他端から離間され、かつ前記低濃度の N- 型ドレイン領域 2 内に含まれるように高濃度の逆導電 (N+) 型ドレイン領域 6 が形成されている。そして、中濃度の逆導電 (N) 型層 7 が、少なくとも前記ゲート電極 4 から前記高濃度の N+ 型ドレイン領域 6 間にまたがる領域に形成されている。また、前記 N 型層 7 は、前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が薄くなるように形成されていることを特徴とする。

## 【 0 0 2 3 】

以下、上記半導体装置の製造方法について説明する。

## 【 0 0 2 4 】

先ず、図 1 に示すように P 型のシリコン基板 1 に N 型不純物、例えばリンイオン ( $^{31}\text{P}^+$ ) をおよそ  $100\text{KeV}$  の加速電圧で、およそ  $6 \times 10^{12}/\text{cm}^2$  の注入量でイオン注入し、これをおよそ  $1100^\circ\text{C}$  で 2 時間熱拡散することにより、N- 型ドレイン領域 2 を形成し、その後、前記基板 1 上を熱酸化しておよそ  $100\text{nm}$  の膜厚のゲート絶縁膜 3 を形成する。

## 【0025】

次に、全面に導電膜、例えばポリシリコン膜を形成した後に、当該ポリシリコン膜を周知のパターニング技術を用いてパターニングして、図2に示すように一端が前記N型ドレイン領域2上に延在するおよそ400nmの膜厚のゲート電極4を形成する。

## 【0026】

そして、ホトレジストFR1をマスクにして例えばリンイオン ( $^{31}\text{P}^+$ ) をおよそ80KeVの加速電圧で、およそ $6 \times 10^{15} / \text{cm}^2$ の注入量でイオン注入し、図2に示すように前記ゲート電極4の一端に隣接するN+型ソース領域5と、該ゲート電極4の他端から離間され、かつ前記N型ドレイン領域2内に含まれるN+型ドレイン領域6とを形成する。

## 【0027】

続いて、前記ゲート電極4上に形成したホトレジスト（図示省略）をマスクにして、例えばリンイオン ( $^{31}\text{P}^+$ ) をおよそ加速電圧160KeVで、およそ $2 \times 10^{12} / \text{cm}^2$ の注入量でイオン注入し、図3に示すように前記ゲート電極4の他端から前記N型ドレイン領域2内に含まれるN+型ドレイン領域6近傍に中濃度のN型層7を形成する。ここで、前記中濃度のN型層7を形成する際に、（ヒ素イオン等に比して）比較的飛程距離の長いリンイオン ( $^{31}\text{P}^+$ ) を、（N+型ソース・ドレイン領域5，6形成用のイオン注入時の加速エネルギー（80KeV）に比して）比較的高い加速エネルギー（100KeV～200KeV程度、本実施形態では、およそ160KeVの加速電圧）でイオン注入することで、当該N型層7を基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域ほど不純物濃度が薄くなるように形成している。

## 【0028】

この工程により、チャネル側ドレイン領域端部の濃度をN型ドレイン領域2により低濃度に保ったまま中濃度のN型層7でN+型ドレイン領域6を取り囲むことができる。

## 【0029】

以上説明したように前記高濃度のN+型ドレイン領域6を中濃度のN型層7で

取り囲み、N+型ドレイン領域まで空乏層が伸びることのないようにしたことで、図4に実線で示すように本発明の半導体装置はダブルハンプ特性が消え、高いゲート電圧(VG)領域での基板電流(I<sub>Sub</sub>)を減少させられる。これにより、図5、図6に示すように動作耐圧(V<sub>SUS</sub>)が向上する。特に、高いゲート電圧(VG)、高いドレイン電流(ID)領域での著しい耐圧向上が図れる。

## 【0030】

次に、本発明の第2の実施形態について説明する。

## 【0031】

ここで、第2の実施形態の半導体装置の特徴は、図7に示すように前記ゲート電極4の一端部(ドレイン側)から所定間隔(L)を介して中濃度のN型層7Aが形成されていることである。このようにゲート電極4の端部から所定間隔(L)を介してN型層7Aが形成されることで、ゲート電極4の端部での電界集中が抑制されるため、更なる高耐圧化が図れる。

## 【0032】

また、上記半導体装置の製造方法は、上記第1の実施形態で説明した図1及び図2での工程後に、図7に示すようにゲート電極4の一端部(ドレイン側)から所定間隔オーバーラップするようにホトレジストFR2を形成した状態で、例えばリンイオン(<sup>31</sup>P+)をおよそ加速電圧160KeVで、およそ $2 \times 10^{12} / \text{cm}^2$ の注入量でイオン注入することで、前記ゲート電極4の他端から所定間隔(L)を存して前記N-型ドレイン領域2内に含まれるN+型ドレイン領域6近傍に中濃度のN型層7Aを形成している。従って、このホトレジストFR2を形成する際のゲート電極4とのオーバーラップ量を調整することで、ゲート電極4からの間隔(L)を任意に設定できる。

## 【0033】

以下、上述したようなゲート電極4の一端部(ドレイン側)から所定間隔を存して中濃度のN型層を形成する場合の他の実施形態について説明する。

## 【0034】

先ず、第3の実施形態は、図8に示すようにゲート電極4を被覆するように形成したホトレジストPR3をマスクにしてN型層形成用のイオン注入を斜め上方

より行うことで、上記構成を実現している。

#### 【0035】

即ち、第2の実施形態で説明した図7の工程時において、ゲート電極4を被覆するように形成したホトレジストPR3をマスクにして、例えばリンイオン ( $^{31}\text{P}^+$ ) をおよそ加速電圧160KeVで、およそ $2 \times 10^{12}/\text{cm}^2$ の注入量で斜め上方からイオン注入することで、前記ホトレジストPR3の端部から基板表面に斜めにイオン注入されるため、ゲート電極4の一端から所定間隔(L)を存しながら、当該ゲート電極4の近傍から前記N型ドレイン領域2内に含まれるN型ドレイン領域6間にまたがって、ゲート電極4の近傍からN型ドレイン領域6に向かうにしたがって不純物濃度が高くなるように中濃度のN型層7Bを形成する。

#### 【0036】

このように第3の実施形態では、前記ホトレジストPR3をマスクに斜め上方からイオン注入することで、図8に示す断面図の紙面に対して右斜め上方からしがイオン注入されないゲート電極4側と、同じく紙面に対して右斜め上方及び左斜め上方からもイオン注入される領域とで、一度のイオン注入工程で前記ゲート電極4の近傍からN型ドレイン領域6に向かうにしたがって不純物濃度が高くなるように中濃度のN型層7Bを形成することができ、ゲート電極4近傍での電界集中を低減でき、高耐圧化が図れる。

#### 【0037】

ここで、斜め上方からのイオン注入角度（本実施形態では、ゲート電極4の垂直方向から30度傾けてイオン注入している。）を任意に調整することで、ゲート電極4近傍からN型ドレイン領域6間にまたがって形成されるN型層7Bの不純物濃度を任意に細かく階層分けできる。

#### 【0038】

続いて、第4の実施形態について説明する。

#### 【0039】

ここで、第4の実施形態の特徴は、図9に示すようにゲート電極4を形成した後に、当該ゲート電極4の側壁部を被覆するようにテーパ形状の側壁絶縁膜8

を形成し、この側壁絶縁膜 8 とゲート電極 4 をマスクにして N 型層形成用のイオン注入を行うことで、上記構成を実現したことである。

#### 【 0 0 4 0 】

即ち、第 1 の実施形態で説明した図 3 の工程後に、ゲート絶縁膜 3 上のゲート電極 4 を被覆するように C V D 法により絶縁膜を形成した後に、当該絶縁膜を等方性エッチングすることで、ゲート電極 4 の側壁部に緩やかなテーパ形状の側壁絶縁膜 8 を形成する。

#### 【 0 0 4 1 】

そして、前記ゲート電極 4 をマスクにして、前記側壁絶縁膜 8 を貫通するように、例えばリンイオン ( $^{31}\text{P}^+$ ) をおよそ加速電圧 1 6 0 K e V で、およそ  $2 \times 10^{12} / \text{cm}^2$  の注入量でイオン注入することで、前記側壁絶縁膜 8 の膜厚に応じてゲート電極 4 近傍から N + 型ドレイン領域 6 に向かうにしたがって不純物濃度が高くなるように中濃度の N 型層 7 C を形成する。

#### 【 0 0 4 2 】

このように第 4 の実施形態では、第 2、第 3 の実施形態のようにホトレジスト P R 2、P R 3 を用いる代わりにゲート電極 4 の側壁部に形成したテーパ形状の側壁絶縁膜 8 の膜厚差を利用しているため、ホトレジスト P R 2、P R 3 を用いるような場合に懸念されるマスク合わせずれに対する N 型層の形成位置合わせマージンを確保できる。尚、本実施形態では、絶縁膜を等方性エッチングすることで側壁絶縁膜を形成しているが、異方性エッチングすることで側壁絶縁膜を形成しても良い。

#### 【 0 0 4 3 】

更に、上述した各々の実施形態では、片側 L D D 構造の（ドレイン側のみ、低濃度ドレイン領域と高濃度ドレイン領域とを有する）半導体装置に本発明を適用した例を紹介したが、本発明を両側 L D D 構造の（ソース・ドレイン側ともに、低濃度ドレイン領域と高濃度ドレイン領域とを有する）半導体装置に適用するものであっても構わない。

#### 【 0 0 4 4 】

更に言えば、上述した各々の実施形態では、本発明を N チャネル型 M O S トラ

ンジスタに適用した例を紹介したが、本発明をPチャネル型MOSトランジスタに適用するものであっても構わない。

【 0 0 4 5 】

また、図示した説明は省略するが、N型層の形成方法としてドレイン領域上に不純物が含有された膜を形成し、当該膜から不純物を染み出し拡散させる方法を採用しても良い。

【 0 0 4 6 】

更に、前述した実施形態のようにホトレジストPR2、PR3や側壁絶縁膜8を用いることなく、ゲート電極4をマスクにしてN型層形成用のイオン注入を当該ゲート電極4の斜め上方から行うものであっても構わない。

【 0 0 4 7 】

【発明の効果】

本発明によれば、ゲート電極から当該ゲート電極の他端から離間され、かつ低濃度の逆導電型ドレイン領域内に含まれる高濃度の逆導電型ドレイン領域間にまたがる領域において、前記ゲート電極から高濃度の逆導電型ドレイン領域に向かって不純物濃度が高くなるように中濃度の逆導電型層を形成することで、動作耐圧の向上が図れる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態の半導体装置の製造方法を示す第1の断面図である。

【図2】

本発明の第1の実施形態の半導体装置の製造方法を示す第2の断面図である。

【図3】

本発明の第1の実施形態の半導体装置の製造方法を示す第3の断面図である。

【図4】

本発明の半導体装置及び従来の半導体装置のおのこの基板電流 ( $I_{Sub}$ ) - ゲート電圧 ( $V_G$ ) 特性を示す図である。

【図5】

本発明の半導体装置及び従来の半導体装置のドレイン電流 ( $I_D$ ) - ドレイン電



圧（VD）特性を示す図である。

【図 6】

本発明の半導体装置及び従来の半導体装置の動作耐圧を示す図である。

【図 7】

本発明の第 2 の実施形態の半導体装置の製造方法を示す断面図である。

【図 8】

本発明の第 3 の実施形態の半導体装置の製造方法を示す断面図である。

【図 9】

本発明の第 4 の実施形態の半導体装置の製造方法を示す断面図である。

【図 1 0】

従来の半導体装置を示す断面図である。

【図 1 1】

従来の動作耐圧低下のメカニズムを説明するための半導体装置の断面図である。

【図 1 2】

従来の寄生バイポーラトランジスタの等価回路を示す図である。

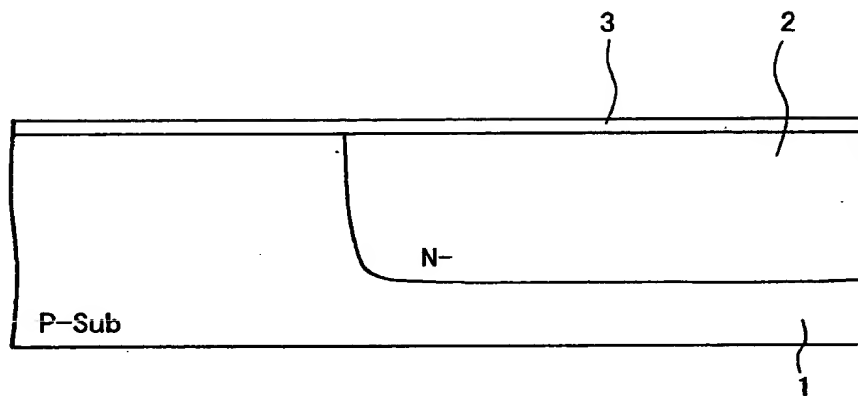
【図 1 3】

従来の動作耐圧低下のメカニズムを説明するための正帰還ループを示す図である。

。

【書類名】 図面

【図 1】

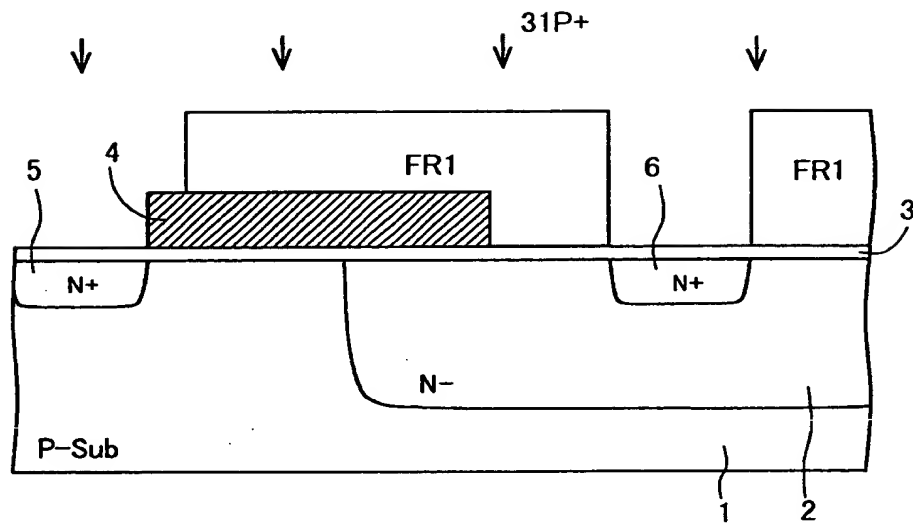


1 : P型の半導体基板

2 : N型ドレイン領域

3 : ゲート絶縁膜

【図 2】

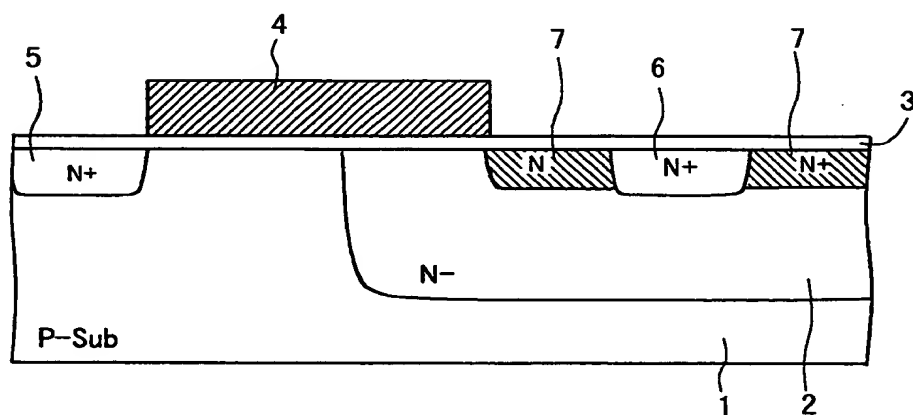


4 : ゲート電極

5 : N+型ソース領域

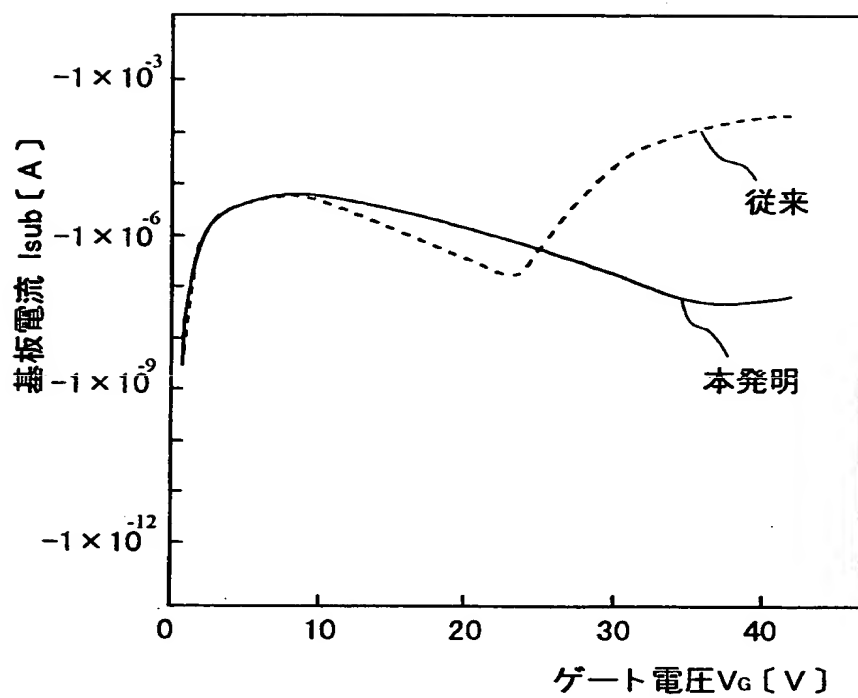
6 : N+型ドレイン領域

【図 3】

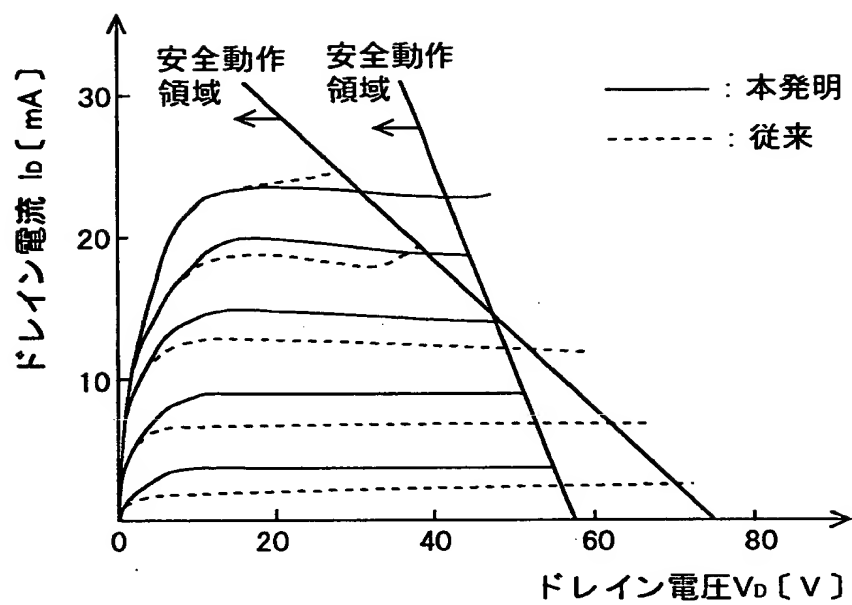


7 : N型層

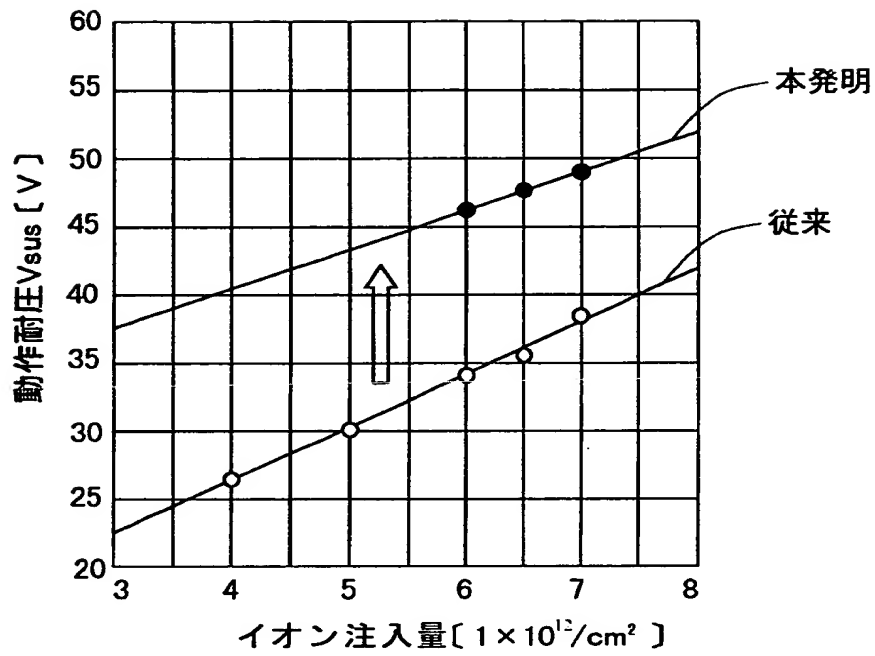
【図 4】



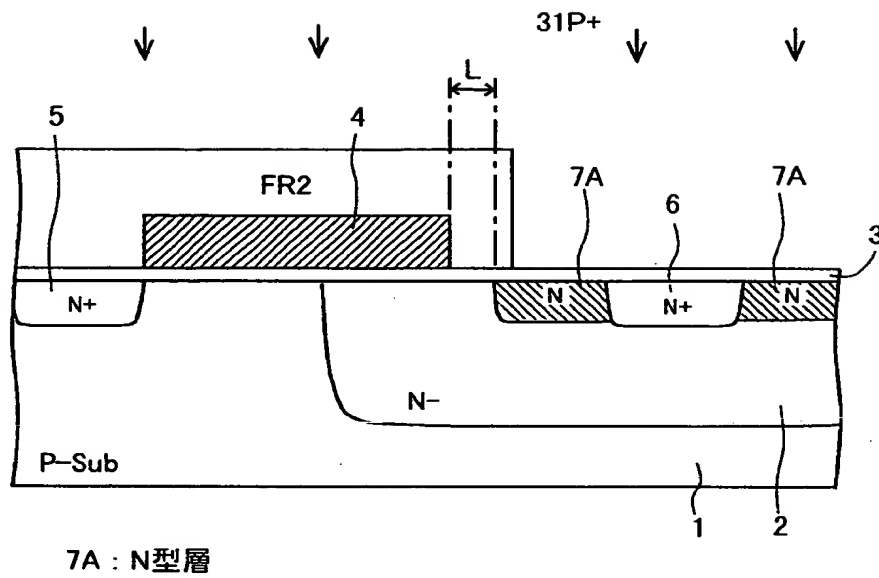
【図 5】



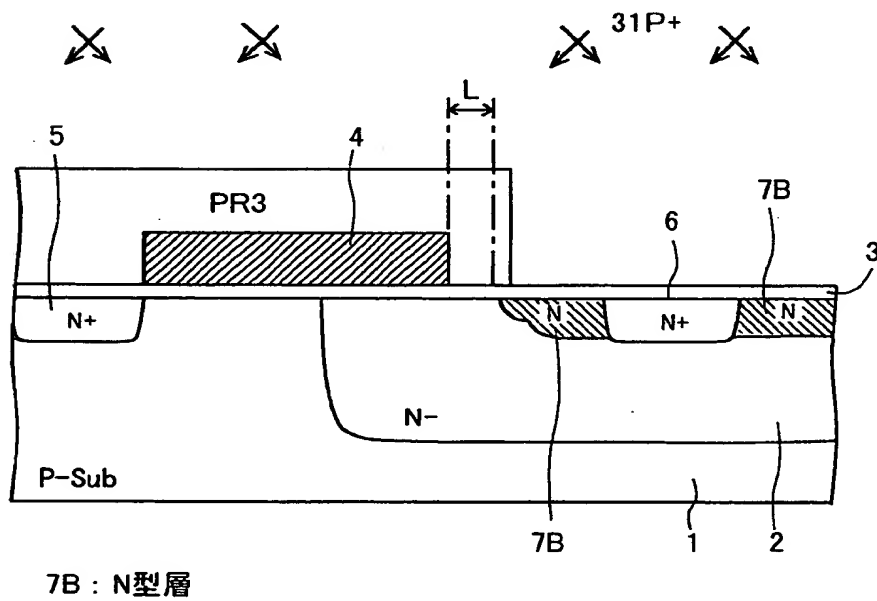
【図 6】



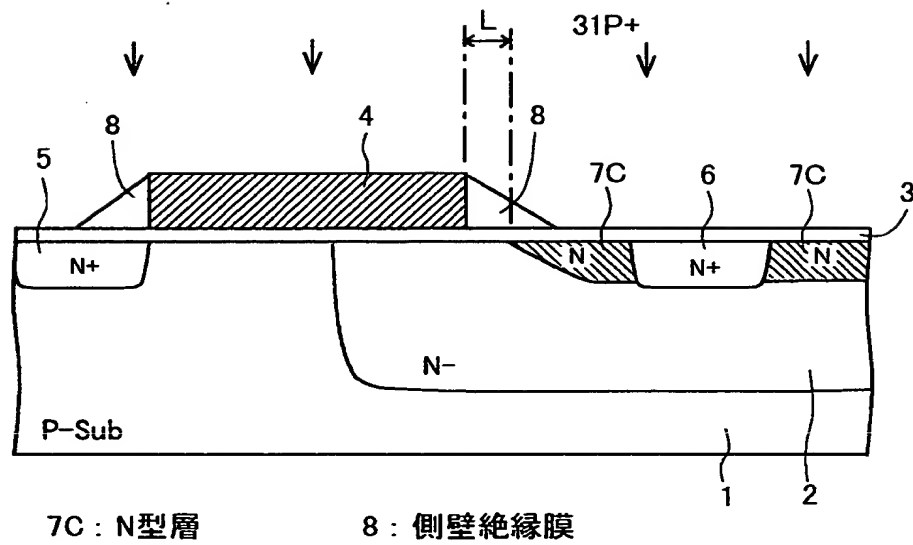
【圖 7】



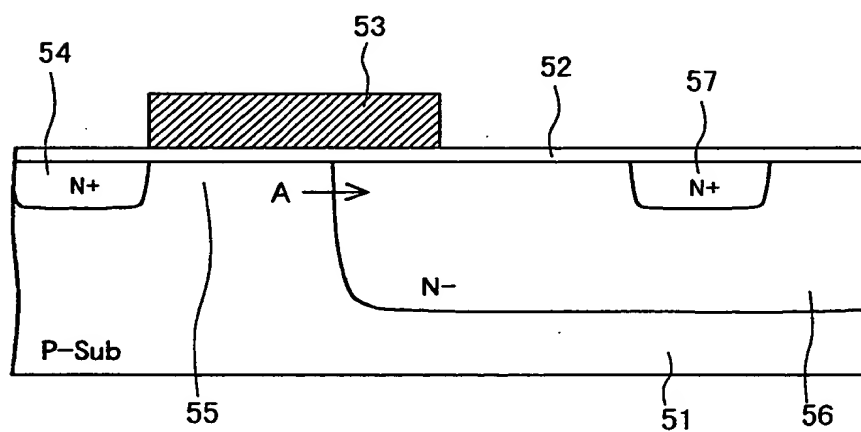
【圖 8】



【図 9】

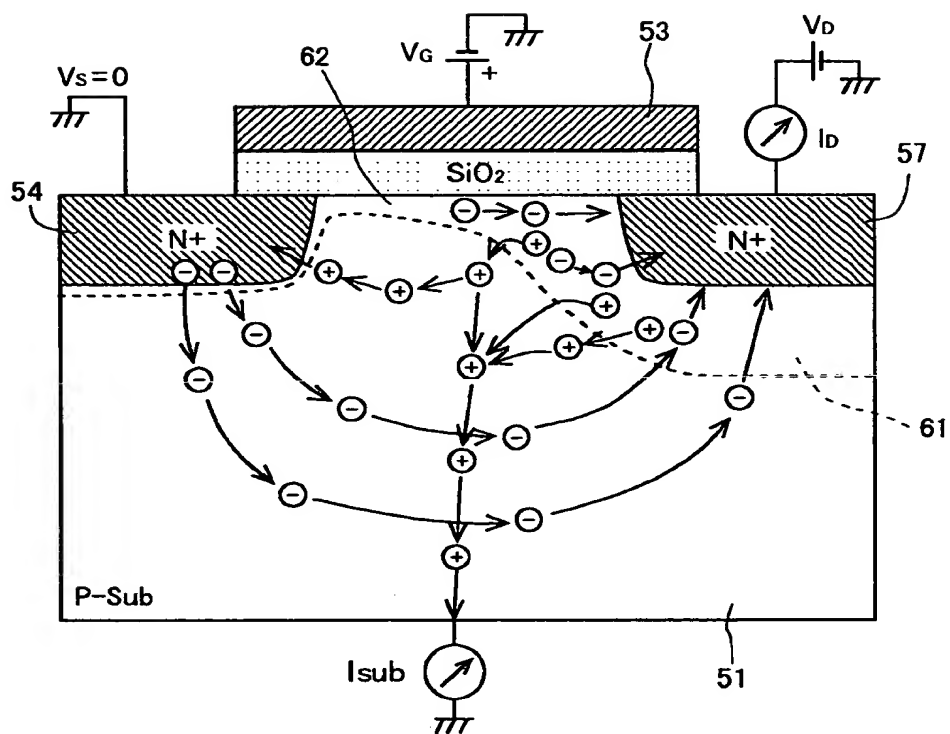


【図 1 0】

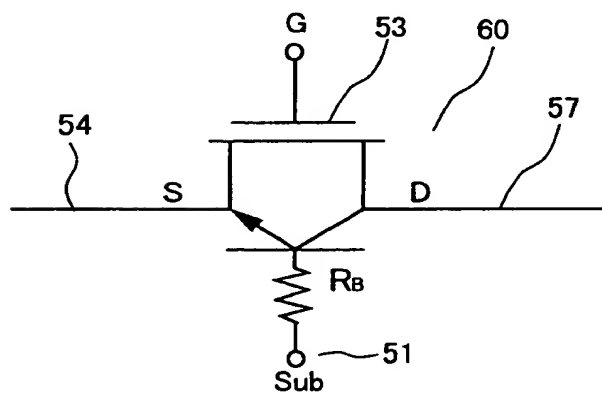




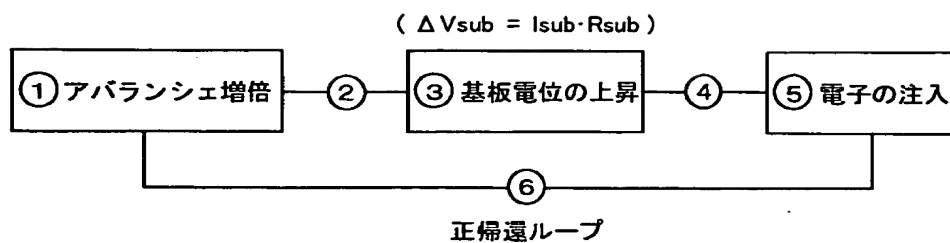
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 動作耐圧の向上を図る。

【解決手段】 P型の半導体基板 1 上にゲート絶縁膜 3 を介して形成されたゲート電極 4 と、当該ゲート電極 4 に隣接するように形成された低濃度の N-型ドレイン領域 2 と、前記ゲート電極 4 の他端から離間され、かつ前記低濃度の N-型ドレイン領域 2 内に含まれる高濃度の N+型ドレイン領域 6 とを有する半導体装置において、少なくとも前記ゲート電極 4 近傍から前記高濃度の N+型ドレイン領域 6 に向かって不純物濃度が高くなるように中濃度の N 型層 7 C が形成されていることを特徴とする。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社